

FIELD-EFFECT TRANSISTOR

Patent Number: JP11177079
Publication date: 1999-07-02
Inventor(s): UNOSAWA HIROKIYO
Applicant(s): NEC CORP
Requested Patent: ☐ JP11177079
Application Number: JP19970345123 19971215
Priority Number(s):
IPC Classification: H01L29/778; H01L21/338; H01L29/812
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce resistance between a source electrode and a channel layer and to increase the maximum drain current and transconductance by forming an undoped or lightly doped n-type Schottky that is lattice-matched to GaAs and with a larger band gap energy than GaAs in a recess.

SOLUTION: A buffer layer 2 consisting of an undoped GaAs, an undoped AlGaAs, and an undoped GaAs, an undoped or n-type InGaAs channel layer 3, an n-type AlGaAs electron supply layer 4, and an n-type GaAs cap layer 5 are laminated on a GaAs substrate 1, thus eliminating the need for a lightly doped layer for forming a Schottky layer from a source electrode 9 to the channel layer 3, hence reducing resistance from the source electrode 9 to the channel layer 3, and increasing the maximum drain current I_{max} and transconductance g_m .

- (19) 【発行国】日本国特許庁 (J P)
 (12) 【公報種別】公開特許公報 (A)
 (11) 【公開番号】特開平 1 1 - 1 7 7 0 7 9
 (43) 【公開日】平成 1 1 年 (1 9 9 9) 7 月 2 日
 (54) 【発明の名称】電界効果トランジスタ
 (51) 【国際特許分類第 6 版】

H01L 29/778

21/338

29/812

【F I】

H01L 29/80

H

【審査請求】有

【請求項の数】7

【出願形態】O L

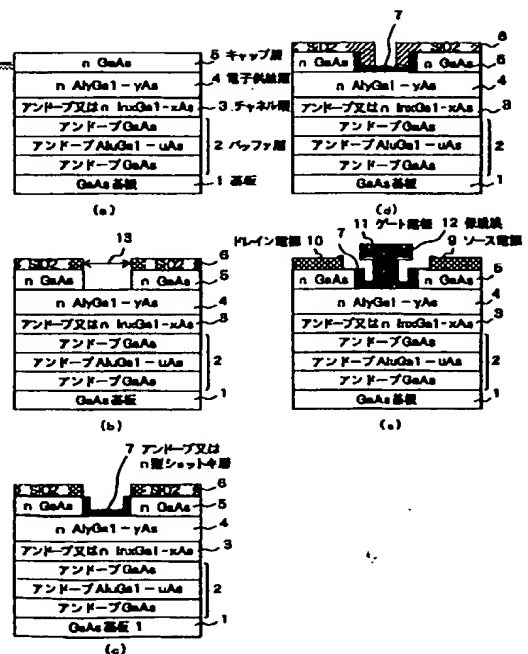
【全頁数】8

- (21) 【出願番号】特願平 9 - 3 4 5 1 2 3
 (22) 【出願日】平成 9 年 (1 9 9 7) 1 2 月 1 5 日
 (71) 【出願人】
 【識別番号】0 0 0 0 0 4 2 3 7
 【氏名又は名称】日本電気株式会社
 【住所又は居所】東京都港区芝五丁目 7 番 1 号
 (72) 【発明者】
 【氏名】宇野沢 浩精
 【住所又は居所】東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 (74) 【代理人】
 【弁理士】
 【氏名又は名称】若林 忠 (外 4 名)

(57) 【要約】

【課題】 ソース電極とチャネル層間の抵抗を低減し、最大ドレイン電流 I_{max} やトランスコンダクタンス g_m 等の素子特性に優れ、信頼性の高い電界効果トランジスタを提供する。

【解決手段】 GaAs 基板上に設けた GaAs 又は InGaAs をチャネルとする電界効果トランジスタにおいて、GaAs に格子整合し、バンドギャップエネルギーが GaAs よりも大きいアンダーブ又は低濃度 n 型ショットキ層をリセス内に選択成長し、



該ショットキ層上にゲートが形成された構成にする。

【特許請求の範囲】

【請求項 1】 GaAs 基板上に設けられた GaAs 又は InGaAs をチャネルとする電界効果トランジスタにおいて、GaAs に格子整合し、バンドギャップエネルギーが GaAs よりも大きいアンドープ又は低濃度 n 型ショットキ層をリセス内に選択成長し、該ショットキ層上にゲートが形成されたことを特徴とする電界効果トランジスタ。

【請求項 2】 前記ショットキ層にリセスが形成された 2 段リセス構造を有し、該ショットキ層のリセスにゲート下部が埋め込まれた構造を有することを特徴とする請求項 1 記載の電解効果トランジスタ。

【請求項 3】 前記ショットキ層がエッチング停止層上に設けられている請求項 1 記載の電解効果トランジスタ。

【請求項 4】 GaAs 基板上に、アンドープ GaAs とアンドープ $Al_{1-x}Ga_xAs$ とアンドープ GaAs からなるバッファ層、アンドープ又は n 型 $In_xGa_{1-x}As$ チャネル層、n 型 $Al_yGa_{1-y}As$ 電子供給層、n 型 GaAs キャップ層を順次積層した構造を有する請求項 1～4 のいずれか 1 項に記載の電解効果トランジスタ。

【請求項 5】 GaAs 基板上に、アンドープ GaAs とアンドープ $Al_{1-x}Ga_xAs$ からなるバッファ層、n 型 $Al_yGa_{1-y}As$ 電子供給層、アンドープ $In_xGa_{1-x}As$ チャネル層、n 型 $Al_zGa_{1-z}As$ 電子供給層、n 型 GaAs キャップ層を順次積層した構造を有する請求項 1～4 のいずれか 1 項に記載の電解効果トランジスタ。

【請求項 6】 GaAs 基板上に、アンドープ GaAs とアンドープ $Al_{1-x}Ga_xAs$ とアンドープ GaAs からなるバッファ層、n 型 GaAs チャネル層、n 型 GaAs キャップ層を順次積層した構造を有する請求項 1～4 のいずれか 1 項に記載の電解効果トランジスタ。

【請求項 7】 前記ショットキ層が、GaAs 及び $Al_{1-x}Ga_xAs$ よりも小さいイオン化率を有する半導体結晶からなることを特徴とする請求項 4、5 又は 6 記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果トランジスタ (FET) に関する。

【0002】

【従来の技術】 図 6 は従来の FET の一構造例を示す断面図である。この従来の FET は図 6 に示すように、半絶縁性 GaAs 基板 1 上に GaAs バッファ層 2、アンドープ InGaAs チャネル層 3、 $n=3 \times 10^{18} \text{ cm}^{-3}$ の $AlGaAs$ 電子供給層 4、 $n=1 \times 10^{17} \text{ cm}^{-3}$ の $AlGaAs$ ショットキ層 7、GaAs キャップ層 5 を順次積層した構造を有している。

【0003】 この従来の FET の製作手順は、GaAs キャップ層 5 の一部を除去してショットキ層 7 を露出させるリセスを形成し、そこにゲート電極 11 となる WSi を設け、オーミック電極を蒸着しソース・ドレイン電極 9、11 を形成する。ゲート及びリセス内には、リセス底面の表面準位の安定化のために保護膜 12 を成膜してある。

【0004】 この従来の FET を試作評価した結果、半導体装置の特性は、最大ドレイン電流 I_{max} が 550 mA/mm 、ゲート・ドレイン間耐圧 $BV_{\text{gd}} = 12 \text{ V}$ 、最大トランスコンダクタンス g_{mmax} は 360 mS/mm 、最大発振周波数 f_{max} は 180 GHz 、カットオフ周波数 $f_T = 45 \text{ GHz}$ が得られた。

【0005】 この従来の FET の構造では、ゲート電極 11 が低濃度の n 型 $AlGaAs$ ショットキ層 7 上に形成されているので、ゲート・ドレイン間耐圧 BV_{gd} を大

きくすることができる利点はあるが、ソース電極9とチャネル層3との間の抵抗は低濃度のn型AlGaAsショットキ層7があるため大きくなってしまい、最大ドレイン電流 I_{\max} やトランスコンダクタンス g_m を大きくできないという問題がある。この従来のFETのソース抵抗は $0.62\Omega\cdot\text{mm}$ であった。このFETの構造は、1995年電子情報通信学会 エレクトロニクスソサイエティ大会SC-7-11に記載されている。

【0006】図7は、従来の高出力FETの一構造例を示す断面図である。この従来のFETは図7に示すように、半絶縁性GaAs基板1上にGaAsバッファ層2、n型GaAsチャネル層3、低濃度n型AlGaAs層71、低濃度n型GaAs層72、高濃度n型GaAsキャップ層5を順次積層した構造を有している。

【0007】この従来のFETでは、最大ドレイン電流 I_{\max} が 570mA/mm 、ゲート・ドレイン間耐圧 $BV_{gd}=13.5\text{V}$ 、最大トランスコンダクタンス $g_{m\max}$ は 220mS/mm が得られたとある。この従来例は、電子情報通信学会 信学技報 ED94-139, MW94-126, ICD94-201に記載されている。

【0008】この従来のFETの構造でも、ゲート電極11が低濃度のn型AlGaAs層71上に形成されているので、ソース電極9とチャネル層3との間の抵抗は低濃度のn型AlGaAs層71があるため大きくなってしまい、最大ドレイン電流 I_{\max} やトランスコンダクタンス g_m を大きくできないという問題がある。また、リセス底面が低濃度であるが、種々の表面準位を形成するGaAsが露出しているため、耐圧特性が安定しないという問題もある。

【0009】

【発明が解決しようとする課題】このように従来のFETには、低濃度のAlGaAs層があるためにソース電極とチャネル層間の抵抗が大きくなってしまいう問題点を有し、また耐圧特性が不安定であった。

【0010】そこで本発明の目的は、ソース電極とチャネル層間の抵抗を低減し、最大ドレイン電流 I_{\max} やトランスコンダクタンス g_m 等の素子特性に優れ、信頼性の高い電界効果トランジスタを提供することにある。

【0011】

【課題を解決するための手段】本発明は、GaAs基板上に設けられたGaAs又はInGaAsをチャネルとする電界効果トランジスタにおいて、GaAsに格子整合し、バンドギャップエネルギーがGaAsよりも大きいアンドープ又は低濃度n型ショットキ層をリセス内に選択成長し、該ショットキ層上にゲートが形成されたことを特徴とする電界効果トランジスタに関する。

【0012】

【発明の実施の形態】第1の実施の形態図1(a)は、本発明の電界効果トランジスタ(FET)を構成するための半導体結晶の積層構造を示す概略断面図である。この積層構造は、GaAs基板1上に、アンドープGaAsとアンドープ $\text{Al}_{1-x}\text{Ga}_x\text{As}$ とアンドープGaAsからなるバッファ層2、アンドープ又はn型 $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3、n型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 電子供給層4、n型GaAsキャップ層5を積層した構造をもつ。

【0013】このFETの製造プロセスは、まず、図1(b)に示すようにリセス形成および選択成長のためのマスク6となる酸化膜(SiO_2)を成長し、フォトリジスト(PR)を塗布してパターンを形成し、この酸化膜をエッチングしてマスク6を形成する。続いて、結晶選択ドライエッチング技術を用いることによりGaAsキャップ層5のみをエッチングしてリセスを形成する。その際、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 電子供給層4上でエッチングは停止する。

【0014】続いて、図1(c)に示すように、酸化膜(SiO_2)6をマスクにして、GaAsに格子整合し、バンドギャップエネルギーがGaAsよりも大きいアンドープ又はn型のショットキ層7をリセス内のみに選択成長する。ショットキ層7に、GaAsに格子整合する結晶系を用いるのは、選択成長により結晶性のよいショットキ層を得るためである。

【0015】次に、リセス形成と選択成長のマスクにした酸化膜6を除去し、再度、酸化膜(SiO_2)を形成し、ドライエッチング技術によりゲート形成用の開口を形成し、マスク8を形成する(図1(d))。

【0016】その後、ゲートメタルを形成し、ゲートメタルの不要部分を除去してT型ゲート電極11を形成し、リセス底面の表面準位の安定化のために保護膜となる酸化

膜 (SiO_2) 12 を成膜し、オーミック電極 (ソース・ドレイン電極) 9、10 を蒸着により形成し、図 1 (e) に示す本発明の電界効果トランジスタを得る。

第 2 の実施の形態図 2は、本発明の FET の他の実施の形態の構成を示す概略断面図である。本実施の形態の FET は、第 1 の実施の形態に示した製造プロセスにより 図 1 (d) に示す酸化膜 (SiO_2) からなるマスク 8 を形成した後に、ショットキ層 7 にリセスを形成し、2 段リセス構造 (埋め込みゲート構造) にした以外は、第 1 の実施の形態と同様である。2 段リセス構造にすることにより、ドレイン電極 10 側のゲート端に集中する電界を緩和できる。

【0017】第 3 の実施の形態図 3は、本発明の FET の他の実施の形態の構成を示す概略断面図である。本実施の形態の FET は、GaAs 基板 1 上にアンドープ GaAs とアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ からなるバッファ層 2、n 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 電子供給層 41、アンドープ $\text{In}_z\text{Ga}_{1-z}\text{As}$ チャネル層 3、n 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 電子供給層 42、n 型 GaAs キャップ層 5 を積層した構造をもつ。他の構成および製造プロセスは第 1 の実施の形態と同様である。アンドープ $\text{In}_z\text{Ga}_{1-z}\text{As}$ チャネル層 3 の上下に電子供給層 41、42 を設けることにより、大きな最大ドレイン電流 I_{max} が得られる。

【0018】第 4 の実施の形態図 4は、本発明の FET の他の実施の形態の構成を示す概略断面図であり、高出力 FET に係るものである。この FET は、GaAs 基板 1 上に、アンドープ GaAs とアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ とアンドープ GaAs からなるバッファ層 2、n 型 GaAs チャネル層 3、n 型 GaAs キャップ層 5 を積層した構造をもつ。

【0019】この FET の製造プロセスは、第 1 の実施の形態の図 1 (b) に示すものと同様にリセス形成と選択成長のためのマスクとなる酸化膜 (SiO_2) を成長し、フォトリソ (PR) を塗布してパターンを形成し、この酸化膜をエッチングしてマスクを形成する。続いて、ウェットエッチングにより GaAs キャップ層 5 及び n 型 GaAs チャネル層 3 の一部をエッチングしてリセスを形成する。

【0020】続いて、第 1 の実施の形態の図 1 (c) に示す工程と同様に、酸化膜 (SiO_2) をマスクにして、

GaAs に格子整合し、バンドギャップエネルギーが GaAs よりも大きいアンドープ又は n 型のショットキ層 7 をリセス内のみに選択成長する。

【0021】次に、リセス形成と選択成長のマスクにした酸化膜を除去し、第 1 の実施の形態の図 1 (d) に示す工程と同様に、再度、酸化膜 (SiO_2) を成長し、ドライエッチング技術によりゲート形成用の開口を形成し、マスクを形成する。

【0022】その後、ゲートメタルを形成し、ゲートメタルの不要部分を除去して T 型ゲート電極 11 を形成し、リセス底面の表面準位の安定化のために保護膜となる酸化膜 (SiO_2) 12 を成膜し、オーミック電極 (ソース・ドレイン電極) 9、10 を形成し、図 4 に示す本発明の電界効果トランジスタを得る。

【0023】第 5 の実施の形態図 5は、本発明の FET の他の実施の形態の構成を示す概略断面図であり、高出力 FET に係るものである。この FET は、GaAs 基板 1 上に、アンドープ GaAs とアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ とアンドープ GaAs からなるバッファ層 2、n 型 GaAs チャネル層 3、n 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ エッチング停止層 13、n 型 GaAs キャップ層 5 を積層した構造をもつ。

【0024】この FET の製造プロセスは、第 1 の実施の形態の図 1 (b) に示すものと同様にリセス形成と選択成長のためのマスクとなる酸化膜 (SiO_2) を成長し、フォトリソ (PR) を塗布してパターンを形成し、この酸化膜をエッチングしてマスクを形成する。続いて、結晶選択ドライエッチング技術を用いることにより GaAs キャップ層 5 のみをエッチングしてリセスを形成する。その際、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ エッチング停止層 14 上でエッチングは停止する。

【0025】続いて、第 1 の実施の形態の図 1 (c) に示す工程と同様に、酸化膜 (SiO_2) をマスクにして、GaAs に格子整合し、バンドギャップエネルギーが GaAs よりも大きいアンドープ又は n 型のショットキ層 7 をリセス内のみに選択成長する。

【0026】次に、リセス形成と選択成長のマスクにした酸化膜を除去し、第 1 の実施の形態の図 1 (d) に示す工程と同様に、再度、酸化膜 (SiO_2) を成長し、ド

ライエッチング技術によりゲート形成用の開口を形成し、マスクを形成する。

【0027】その後、ゲートメタルを形成し、ゲートメタルの不要部分を除去してT型ゲート電極11を形成し、リセス底面の表面準位の安定化ために保護膜となる酸化膜(SiO_2)12を成膜し、オーミック電極(ソース・ドレイン電極)9、10を形成し、図5に示す本発明の電界効果トランジスタを得る。 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ エッチング停止層14を設け、結晶選択ドライエッチング技術を用いることにより、ウェハ面内の特性ばらつきを低減できる。

【0028】

【実施例】以下、本発明を実施例によりさらに説明するが、本発明はこれらに限定するものではない。

【0029】実施例1図1(a)は、実施例1のFETを構成するための半導体結晶の積層構造を示す概略断面図である。

【0030】このFETの製造プロセスは、まず、例えば有機金属気相成長法(MOVPE法)によりGaAs(100)基板1上に、アンドープGaAs(バックグラウンド濃度 $p \leq 2 \times 10^{15} \text{ cm}^{-3}$)100~400nmとアンドープ $\text{Al}_u\text{Ga}_{1-u}\text{As}$ ($0.15 \leq u \leq 0.25$ 、バックグラウンド濃度 $p \leq 3 \times 10^{15} \text{ cm}^{-3}$)100~300nmとアンドープGaAs(バックグラウンド濃度 $p \leq 2 \times 10^{15} \text{ cm}^{-3}$)10~30nmとからなるバッファ層2、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0.15 \leq x \leq 0.25$)チャネル層3を10~15nm、Siドーピングで $n = 2 \sim 4 \times 10^{18} \text{ cm}^{-3}$ の $\text{Al}_y\text{Ga}_{1-y}\text{As}$ ($0.15 \leq y \leq 0.3$)電子供給層4を10~25nm、最後にSiドーピングで $n = 3 \times 10^{18} \text{ cm}^{-3}$ のGaAsキャップ層5を70~100nmに順次成長する。

【0031】次に、図1(b)に示すようにリセス形成および選択成長のためのマスク6となる酸化膜(SiO_2)を成長し、リセス形成のためにフォトリソ(PR)を塗布して0.4~1.0 μm のパターン13を形成し、この酸化膜をエッチングする。続いて、結晶選択ドライエッチング技術を用いることによりGaAsキャップ層5のみをエッチングしてリセスを形成する。その際、 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 電子供給層4上でエッチングは停止する。

リセス幅は0.4~1.5 μm とする。

【0032】続いて、図1(c)に示すように、酸化膜(SiO_2)6をマスクにして、アンドープ又は $n = 5 \sim 2 \times 10^{16} \text{ cm}^{-3}$ のショットキ層7をリセス内だけにMOVPE法により選択成長する。リセス内に選択成長するショットキ層7としては、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0.15 \leq z \leq 0.3$)の他、GaAsに格子整合する $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ 、 $(\text{Al}_z\text{Ga}_{1-z})_{0.52}\text{In}_{0.48}\text{P}$ 、 $\text{Al}_{0.52}\text{In}_{0.48}\text{P}$ のいずれかが好ましい。成長膜厚は、リセス底面で20~50nmとすることが好ましい。次に、リセス形成と選択成長のマスクに用いた酸化膜6を除去し、再度、酸化膜(SiO_2)を形成し、ドライエッチング技術によりゲート形成用の開口を形成し、マスク8を形成する(図1(d))。

【0033】その後、ゲートメタルとなるWSi-TiN-Pt-Auをスパッタ法により形成する。ゲート長は0.15~0.3 μm である。ゲートメタルの不要部分を除去してT型ゲート電極11を形成し、保護膜となる酸化膜(SiO_2)12を成膜し、オーミック電極(ソース・ドレイン電極)9、10を蒸着により形成し、図1(e)に示す本実施例のFETを得る。

【0034】図1(e)に示すFETにおける層厚、組成、キャリア濃度の最適値は以下の通りであった。GaAs(100)基板1直上のアンドープGaAsバッファ層は層厚300nm、その上のアンドープ $\text{Al}_u\text{Ga}_{1-u}\text{As}$ バッファ層は $u = 0.2$ 、層厚100nm、その上のアンドープGaAsバッファ層は層厚20nm、アンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3は $x = 0.2$ 、層厚12nm、Siドーピング $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 電子供給層4は $y = 0.2$ 、層厚15nm、キャリア濃度 $3 \times 10^{18} \text{ cm}^{-3}$ 、SiドーピングGaAsキャップ層5は層厚80nm、キャリア濃度 $3 \times 10^{18} \text{ cm}^{-3}$ 、ショットキ層7は、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ の場合； $z = 0.2$ 、層厚30nm、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、 $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ の場合；層厚35nm、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、 $(\text{Al}_z\text{Ga}_{1-z})_{0.52}\text{In}_{0.48}\text{P}$ ($0.3 \leq z \leq 0.6$)の場合；層厚30nm、キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $\text{Al}_{0.52}\text{In}_{0.48}\text{P}$ の場合；層厚30nm、キャリア濃度 $5 \times 10^{16} \text{ cm}^{-3}$ である。なお、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3にn型のSiドーピングを行う場合は、キャリア濃度を $1 \times 10^{18} \text{ cm}^{-3}$ とし、ショットキ層7の層厚は25nmとする。

【0035】図1(e)に示す本実施例のFETにおいて $\text{In}_{1-x}\text{Ga}_x\text{As}$ チャネル層3をアンドープにした場合の特性は、リセス幅 $0.6\mu\text{m}$ 、ゲート長 $0.18\mu\text{m}$ 、オーミック電極間隔 $4\mu\text{m}$ の構造のもので、ソース抵抗は $0.5\Omega\cdot\text{mm}$ が得られ、しきい電圧 $V_{th}=-1.2\text{V}$ 、最大ドレイン電流 $I_{max}=\text{約}630\text{mA/mm}$ 、最大トランスコンダクタンス $g_{mmax}=\text{約}460\text{mS/mm}$ 、ゲート・ドレイン間の耐圧 BV_{gd} は 11V 以上、ゲート幅 $100\mu\text{m}$ の素子で最高発振周波数 $f_{max}=180\text{GHz}$ 、カットオフ周波数 $f_T=63\text{GHz}$ が得られた。

【0036】実施例2図2は、本実施例のFETの構成を示す概略断面図である。本実施例のFETの製造プロセスは、実施例1の図1(c)に示す工程でショットキ層7の成長膜厚を $30\sim60\text{nm}$ とすることが好ましく、図1(d)に示すゲート形成用の開口の形成後、ショットキ層7に深さ $10\sim15\text{nm}$ のゲートリセスをエッチングにより形成し、2段リセス構造(埋め込みゲート構造)にした以外は、実施例1と同様である。

【0037】本実施例の最適値は、バッファ層2からキャップ層5までの半導体層の層厚、組成、キャリア濃度は実施例1と同様である。ショットキ層7は、キャリア濃度 $5\text{E}16\text{cm}^{-3}$ 、層厚 40nm 、ゲートリセスのエッチング深さは 10nm である。

【0038】本実施例のFETの特性は、リセス幅 $0.6\mu\text{m}$ 、ゲート長 $0.18\mu\text{m}$ 、オーミック電極間隔 $4\mu\text{m}$ の構造のもので、ソース抵抗は $0.5\Omega\cdot\text{mm}$ が得られ、しきい電圧 $V_{th}=-1.2\text{V}$ 、最大ドレイン電流 $I_{max}=\text{約}630\text{mA/mm}$ 、最大トランスコンダクタンス $g_{mmax}=\text{約}460\text{mS/mm}$ 、ゲート・ドレイン間の耐圧 BV_{gd} は 10V 以上、ゲート幅 $100\mu\text{m}$ の素子で最高発振周波数 $f_{max}=180\text{GHz}$ 、カットオフ周波数 $f_T=60\text{GHz}$ が得られた。

【0039】実施例3図3は、本実施例のFETの構成を示す概略断面図である。

【0040】本実施例のFETの製造プロセスは、実施例の図1(c)に示す工程でショットキ層7の成長膜厚を $20\sim30\text{nm}$ とすることが好ましく、また、バッファ層2と電子供給層41、42の構成が異なる以外は実施例1と同様にして作製される。

【0041】本実施例の最適値は、アンドープ GaAs バッファ層は層厚 300nm 、その上のアンドープ $\text{Al}_{1-u}\text{Ga}_u\text{As}$ バッファ層は $u=0.2$ 、層厚 100nm 、Siドープ $\text{Al}_{1-y}\text{Ga}_y\text{As}$ 電子供給層41は $y=0.2$ 、層厚 6nm 、キャリア濃度 $3\text{E}18\text{cm}^{-3}$ 、アンドープ $\text{In}_{1-x}\text{Ga}_x\text{As}$ チャネル層3は $x=0.2$ 、層厚 12nm 、Siドープ $\text{Al}_{1-y}\text{Ga}_y\text{As}$ 電子供給層42は $y=0.2$ 、層厚 15nm 、キャリア濃度 $3\text{E}18\text{cm}^{-3}$ 、Siドープ GaAs キャップ層5は層厚 80nm 、キャリア濃度 $3\text{E}18\text{cm}^{-3}$ で、ショットキ層7はキャリア濃度 $5\text{E}16\text{cm}^{-3}$ 、層厚 25nm である。

【0042】本発明のFETの特性は、リセス幅 $0.6\mu\text{m}$ 、ゲート長 $0.18\mu\text{m}$ 、オーミック電極間隔 $4\mu\text{m}$ の構造のもので、ソース抵抗は $0.4\Omega\cdot\text{mm}$ が得られ、しきい電圧 $V_{th}=-1.2\text{V}$ 、最大ドレイン電流 $I_{max}=\text{約}700\text{mA/mm}$ 、最大トランスコンダクタンス $g_{mmax}=\text{約}600\text{mS/mm}$ 、ゲート・ドレイン間の耐圧 BV_{gd} は 10V 以上、ゲート幅 $100\mu\text{m}$ の素子で最高発振周波数 $f_{max}=230\text{GHz}$ 、カットオフ周波数 $f_T=75\text{GHz}$ が得られた。

【0043】実施例4図4は、本実施例のFETの構成を示す概略断面図である。

【0044】このFETの製造プロセスは、まず、例えば有機金属気相成長法(MOVPE法)により GaAs (100)基板1上に、アンドープ GaAs (バックグラウンド濃度 $p\leq 2\text{E}-15\text{cm}^{-3}$) $100\sim400\text{nm}$ とアンドープ $\text{Al}_{1-u}\text{Ga}_u\text{As}$ ($0.15\leq u\leq 0.35$ 、バックグラウンド濃度 $p\leq 3\text{E}-15\text{cm}^{-3}$) $100\sim1000\text{nm}$ とアンドープ GaAs (バックグラウンド濃度 $p\leq 2\text{E}-15\text{cm}^{-3}$) $1\sim10\text{nm}$ とからなるバッファ層2、Siドープで $n=1\sim5\text{E}17\text{cm}^{-3}$ の GaAs チャネル層3を $150\sim300\text{nm}$ 、Siドープで $n=2\sim10\text{E}17\text{cm}^{-3}$ の GaAs キャップ層5を $70\sim150\text{nm}$ に順次成長する。

【0045】次に、図1(b)に示すものと同様にリセス形成および選択成長のためのマスクとなる酸化膜(SiO_2)を成長し、リセス形成のためにフォトレジスト(PR)を塗布して $1.0\sim2.0\mu\text{m}$ のパターン13を形成し、この酸化膜をエッチングしてマスクを形成する。続いて、ウェットエッチング技術により GaAs キャップ層5及びチャネル層3の一部をエッチングしてリセス

を形成する。リセス幅は $1 \sim 2 \mu\text{m}$ とする。

【0046】続いて、図1(c)に示すものと同様に、酸化膜(SiO_2)をマスクにして、アンドープ又は $n = 5 \sim 20 \text{E}16 \text{cm}^{-3}$ のショットキ層7をリセス内のみ MOVPE法により選択成長する。リセス内に選択成長するショットキ層7としては、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0.15 \leq z \leq 0.3$) の他、 GaAs に格子整合する $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ 、 $(\text{Al}_{0.4}\text{Ga}_{0.6})_{0.52}\text{In}_{0.48}\text{P}$ 、 $\text{Al}_{0.52}\text{In}_{0.48}\text{P}$ のいずれかが好ましい。成長膜厚は、リセス底面で $10 \sim 30 \text{nm}$ とすることが好ましい。

【0047】次に、マスクに用いた酸化膜を除去した後、再度、酸化膜(SiO_2)を成膜しドライエッチング技術によりゲート形成用の開口を形成してマスクを形成する。

【0048】その後、ゲートメタルとなる WSi-Ti-N-Pt-Au をスパッタ法により形成する。ゲート長は $0.3 \sim 1 \mu\text{m}$ である。ゲートメタルの不要部分を除去してT型ゲート電極11を形成し、保護膜となる酸化膜(SiO_2)12を成膜し、オーミック電極(ソース・ドレイン電極)9、10を蒸着により形成し、図4に示す本発明のFETを得る。

【0049】本実施例のFETにおける層厚、組成、キャリア濃度の最適値は以下の通りであった。 GaAs (100)基板1直上のアンドープ GaAs バッファ層は層厚 300nm 、その上のアンドープ $\text{Al}_u\text{Ga}_{1-u}\text{As}$ バッファ層は $u = 0.2$ 、層厚 500nm 、その上のアンドープ GaAs バッファ層は層厚 5nm 、Siドープ GaAs チャネル層3は層厚 200nm 、キャリア濃度 $4 \text{E}17 \text{cm}^{-3}$ 、Siドープ GaAs キャップ層5は層厚 100nm 、キャリア濃度 $7 \text{E}17 \text{cm}^{-3}$ 、ショットキ層7は $\text{Al}_z\text{Ga}_{1-z}\text{As}$ の場合；アンドープで $z = 0.2$ 、層厚 20nm 、 $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ の場合；アンドープで層厚 20nm 、 $(\text{Al}_{0.4}\text{Ga}_{0.6})_{0.52}\text{In}_{0.48}\text{P}$ の場合；アンドープで層厚 20nm 、 $\text{Al}_{0.52}\text{In}_{0.48}\text{P}$ の場合；アンドープで層厚 20nm である。

【0050】本実施例のFETの特性は、リセス幅 $1.3 \mu\text{m}$ 、ゲート長 $0.5 \mu\text{m}$ 、オーミック電極間隔 $6 \mu\text{m}$ の構造のもので、ソース抵抗は $1.5 \Omega \cdot \text{mm}$ が得られ、最大ドレイン電流 $I_{\text{max}} = \text{約} 600 \text{mA/mm}$ 、最大トランスコンダクタンス $g_{\text{mmax}} = \text{約} 250 \text{mS/mm}$ 、ゲート・ドレイン間の耐圧 $BV_{\text{gd}} = 15 \sim 20 \text{V}$ が得ら

れた。

【0051】実施例5図5は、本実施例のFETの構成を示す概略断面図である。

【0052】このFETの製造プロセスは、まず、例えば有機金属気相成長法(MOVPE法)により GaAs (100)基板1上に、アンドープ GaAs (バックグラウンド濃度 $p \leq 2 \text{E}15 \text{cm}^{-3}$) $100 \sim 400 \text{nm}$ とアンドープ $\text{Al}_u\text{Ga}_{1-u}\text{As}$ ($0.15 \leq u \leq 0.35$ 、バックグラウンド濃度 $p \leq 3 \text{E}15 \text{cm}^{-3}$) $100 \sim 1000 \text{nm}$ とアンドープ GaAs (バックグラウンド濃度 $p \leq 2 \text{E}15 \text{cm}^{-3}$) $1 \sim 10 \text{nm}$ とからなるバッファ層2、Siドープで $n = 1 \sim 4 \text{E}17 \text{cm}^{-3}$ の GaAs チャネル層3を $100 \sim 200 \text{nm}$ 、Siドープで $n = 5 \sim 20 \text{E}17 \text{cm}^{-3}$ の $\text{Al}_v\text{Ga}_{1-v}\text{As}$ エッチング停止層14を $5 \sim 10 \text{nm}$ 、 GaAs キャップ層50を $100 \sim 200 \text{nm}$ に順次成長する。

【0053】次に、リセス形成および選択成長のためのマスクとなる酸化膜(SiO_2)を成長し、フォトレジスト(PR)を塗布して $1.0 \sim 2.0 \mu\text{m}$ のパターン13を形成し、この酸化膜をエッチングしてマスクを形成する(図1(b))。続いて、結晶選択ドライエッチング技術を用いることにより GaAs キャップ層5のみをエッチングしてリセスを形成する。その際、 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ エッチング停止層13上でエッチングは停止する。リセス幅は $1.0 \sim 2.0 \mu\text{m}$ とする。

【0054】続いて、図1(c)に示すものと同様に、酸化膜(SiO_2)をマスクにして、アンドープ又は $n = 5 \sim 20 \text{E}16 \text{cm}^{-3}$ のショットキ層7をリセス内のみ MOVPE法により選択成長する。リセス内に選択成長するショットキ層7としては、実施例4と同様である。成長膜厚は、リセス底面で $10 \sim 30 \text{nm}$ とすることが好ましい。

【0055】次に、マスクに用いた酸化膜を除去した後、再度、酸化膜(SiO_2)を成膜し、ドライエッチング技術によりゲート形成用の開口を形成してマスクを形成する。

【0056】その後、ゲートメタルとなる WSi-Ti-N-Pt-Au をスパッタ法により形成する。ゲート長は $0.3 \sim 1.0 \mu\text{m}$ である。ゲートメタルの不要部分

を除去してT型ゲート11を形成し、保護膜となる酸化膜(SiO_2)12を成膜し、オーミック電極(ソース・ドレイン電極)9、10を蒸着により形成し、図5に示す本発明のFETを得る。

【0057】本実施例のFETにおける層厚、組成、キャリア濃度の最適値は以下の通りであった。 GaAs (100)基板1直上のアンドープ GaAs バッファ層は層厚300nm、その上のアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バッファ層は $u=0.2$ 、層厚500nm、その上のアンドープ GaAs バッファ層は層厚5nm、Siドープ GaAs チャネル層3は層厚150nm、キャリア濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、Siドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ エッチング停止層13は、 $y=0.2$ 、層厚10nm、キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ 、 GaAs キャップ層5は層厚100nm、キャリア濃度 $7 \times 10^{17} \text{cm}^{-3}$ 、ショットキ層7は実施例4と同様である。

【0058】本実施例のFETの特性は、リセス幅 $1.5 \mu\text{m}$ 、ゲート長 $0.5 \mu\text{m}$ 、オーミック電極間隔 $6 \mu\text{m}$ の構造のもので、ソース抵抗は $1.3 \Omega \cdot \text{mm}$ が得られ、最大ドレイン電流 $I_{\text{max}} = \text{約} 580 \text{mA/mm}$ 、最大トランスコンダクタンス $g_{\text{mmax}} = \text{約} 260 \text{mS/mm}$ 、ゲート・ドレイン間の耐圧 $BV_{\text{gd}} = 18 \sim 22 \text{V}$ が得られた。

【0059】上記実施例1～5の半導体結晶の成長方法としてMOVPE法を記載したが、分子線エピタキシャル法(MBE法)、有機金属分子線エピタキシャル法(MO-MBE法)を用いてもかまわない。

【0060】

【発明の効果】以上、説明したように、 GaAs に格子整合し、バンドギャップエネルギーが GaAs よりも大きいアンドープ又は低濃度n型ショットキ7をリセス内に形成することにより、ソース電極9からチャネル層3までにショットキ層形成用の低濃度層が不要になり、その結果、ソース電極9からチャネル層3の抵抗が低減し、最大ドレイン電流 I_{max} やトランスコンダクタンス g_{m} を大きくすることができるようになった。

【0061】特に、ショットキ層7の半導体結晶として、 GaAs に格子整合する $\text{Ga}_{0.52}\text{In}_{0.48}\text{P}$ 、 $(\text{Al}_x\text{Ga}_{1-x})_{0.52}\text{In}_{0.48}\text{P}$ 、 $\text{Al}_{0.52}\text{In}_{0.48}\text{P}$ を用いた場合は、これら

の半導体結晶のイオン化率が GaAs や AlGaAs よりも小さいことから、ゲート端に高電界が掛かってもイオン化電流の発生を低く押さえられることから素子の高信頼化に結びつく。

【図面の簡単な説明】

【図1】本発明の電解効果トランジスタの製造工程断面図である。

【図2】本発明の電解効果トランジスタの構成を示す概略断面図である。

【図3】本発明の電解効果トランジスタの構成を示す概略断面図である。

【図4】本発明の高出力電解効果トランジスタの構成を示す概略断面図である。

【図5】本発明の高出力電解効果トランジスタの構成を示す概略断面図である。

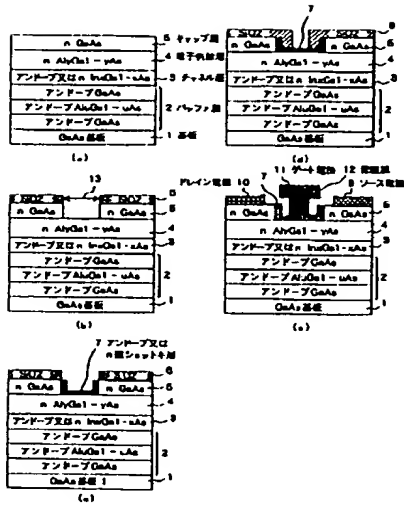
【図6】従来の電解効果トランジスタの構成を示す概略断面図である。

【図7】従来の高出力電解効果トランジスタの構成を示す概略断面図である。

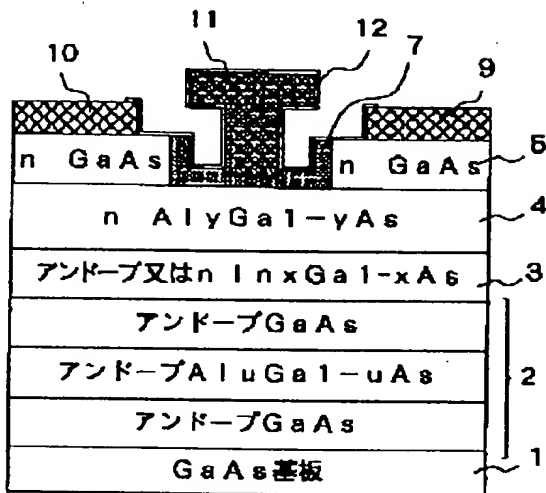
【符号の説明】

- 1 基板
- 2 バッファ層
- 3 チャネル層
- 4、41、42 電子供給層
- 5 キャップ層
- 6、8 マスク
- 7 ショットキ層
- 9 ソース電極
- 10 ドレイン電極
- 11 ゲート電極
- 12 保護膜
- 13 リセス形成パターン
- 14 エッチング停止層

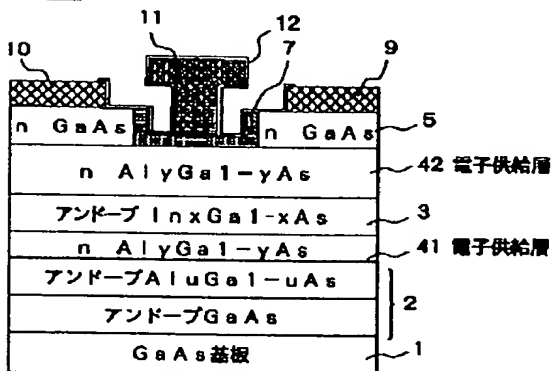
【図1】



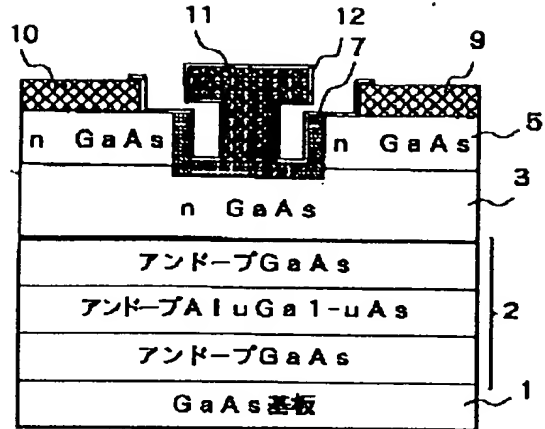
【図2】



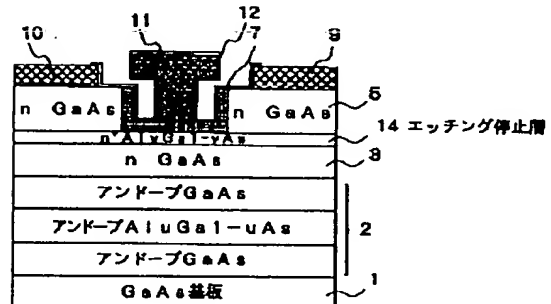
【図3】



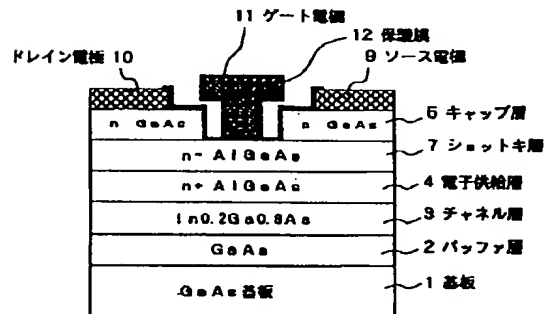
【図4】



【図5】



【図6】



【図7】

